

## Process Watch：製程管制和生產週期時間

作者：Douglas G. Sutherland 和 David W. Price

**作者按語：**Process Watch 是探索半導體產業製程管制（缺陷檢測與量測）的關鍵概念的系列連載。繼上一集探討製程管制 10 大根本法則的連載文章之後，這一集全新的系列連載將著重說明瞭製程管制的其他趨勢，包括積體電路生產的成功實施策略及益處。

在研發的早期階段，更多的製程管制有助於減少學習週期（解決具體問題所需的反覆修改）的次數和持續時間。在大量生產過程中，考慮周詳的製程管制策略可提升基線良率，並同時限制因產線異常造成的良率損失。在所有階段，需要實行有效的製程管制策略，才能確保晶圓廠能夠以儘可能低的成本營運。除了儘量降低生產成本，增加製程管制步驟反而能夠縮短週期時間。

圖 1 顯示了週期時間作為一個函數如何隨製程管制步驟的數目而變化的概念圖。圖表左側沒有實施量測和檢測 (M&I) 步驟，週期時間實際上可以無限長。如果某個批次抵達生產線終點，且良率為零，則沒有辦法對問題進行隔離。理論上，人們可以透過試錯來隔離問題，但是就算只有 100 個製程步驟且每個製程步驟只有兩個參數，也會有  $2^{100}$  ( $1.3 \times 10^{30}$ ) 種可能的組合。即使每秒測試一個參數，要窮盡參數空間所有可能的組合，需要的時間將比宇宙年齡還要長得多。

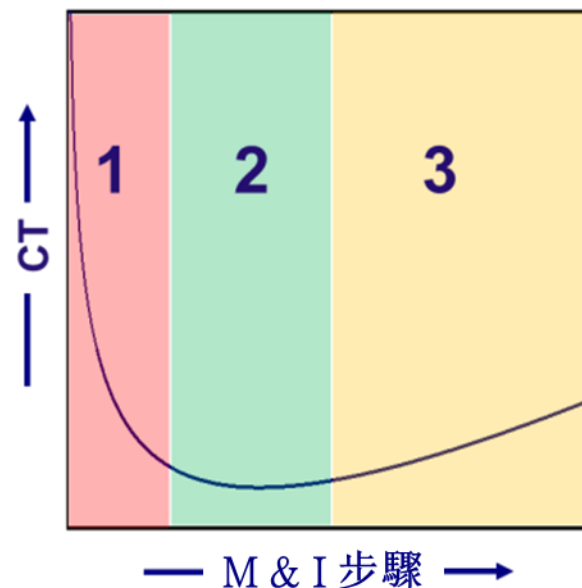


圖 1. 週期時間 (CT) 相對於製程管制（量測與檢測）的步驟數。在第 1 區，晶圓廠資訊匱乏，不能找到良率偏移，也無法隔離潛在問題。在第 3 區，晶圓廠獲得的資訊已經超出它需要使用的範圍。在第 2 區，晶圓廠已經達到平衡 — 使用了一系列縮短週期時間的製程管制步驟。

隨著製程管制步驟的加入，週期時間從實際上的無限值下降至某個可控數字。在某一點，週期時間將達到最小值。超出這一點，進一步增加製程管制步驟實際上將導致週期時間隨步驟數的增加而呈線性增加。製程管制的最佳步驟數將始終在縮短週期時間、降低偏移成本和提升基線良率之間進行權衡。後兩者通常對財務的影響更大。

增加製程管制步驟能夠縮短晶圓廠的週期時間，但是它是如何發揮作用的呢？週期時間的完整處理（排隊理論）遠遠超出了本文範疇，然而在較高層級，它可以分解為可管理的若干組成部分。總週期時間 (CT) 等於排隊時間總和（一個批次等待製程機台可供使用所耗費的時間）加上製程時間本身。由於製程時間是固定的，縮短週期時間的唯一方法也就集中於排隊時間 (Q)。從排隊理論來看，可見 Q 可以透過三個分離函數的乘積來表達<sup>4</sup>，

$$Q = f(u) f(a) f(v) \quad \text{eqn 1}$$

其中  $f(u)$ 、 $f(a)$  和  $f(v)$  分別為利用率、可用度和變異性函數。前兩個函數將始終是有限的，因此顯然只有在  $f(v) = 0$  時才有  $Q = 0$ 。換言之，減少晶圓廠的可變性會縮短排隊時間，如果我們從系統中移除所有變異性，則排隊時間同樣將降至零，且週期時間將只等於加工時間。

圖 2 為針對零、中、高三種不同程度的變異性，週期時間作為利用率的一個函數的圖示。Y 軸衡量的是週期時間，單位是稱為 X-因數的總製程時間。當變異性為零時，所有批次均按照鎖步在晶圓廠內移動；週期時間沒有增加，而利用率卻增加了，且所有工具在理論上都可以按照 100% 的利用率運行。在這種情況下，排隊時間為零，且週期時間等於所有步驟的總製程時間（週期時間 = 1）。一旦引入某些可變性，週期時間就會隨利用率開始呈指數級增加，而且變異性越大，則增加的幅度也就越大。

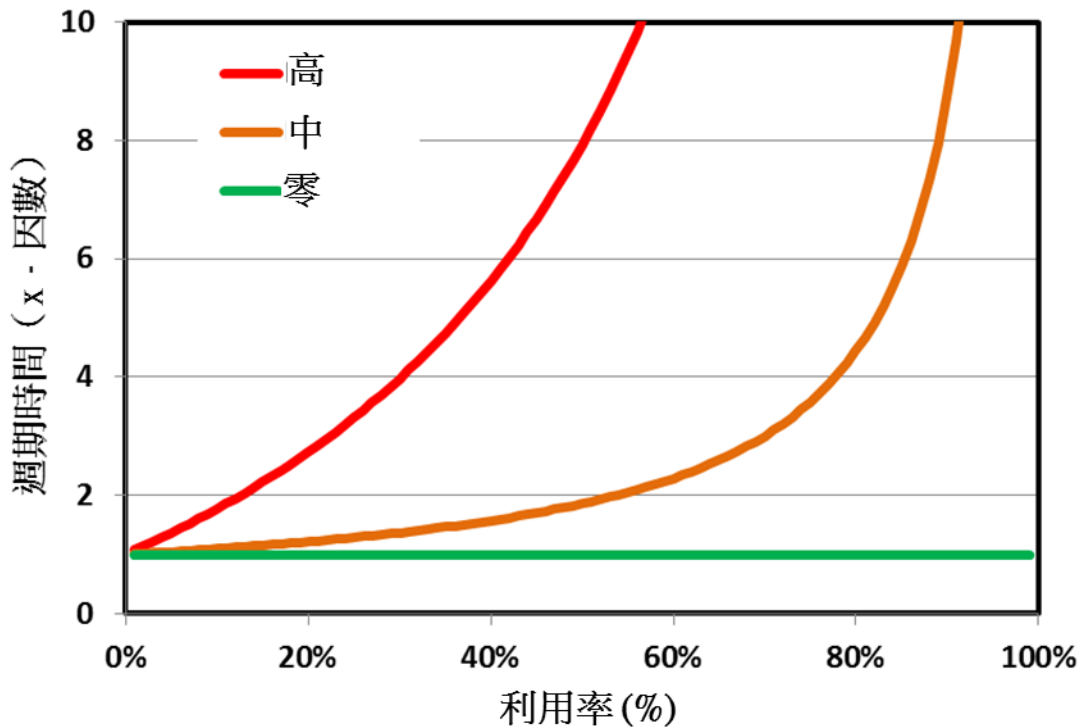


圖 2. 在高、中、零三種不同程度的變異性情況下，週期時間與利用率之間的關係。

晶圓廠的變異性來源眾多，僅舉數例，其中包括：批次到達率、維護要求頻率，以及要執行該維護所需的時間。而異常 — 即失控批次 — 會影響以上所有來源。

**擁有多個製程管制點不會立即改變晶圓廠的異常數量，但是會立即提升晶圓廠對其反應的效率。**

實際上，隨著時間的推移，擁有更多製程管制點還能夠減少異常數量，因為它會提升晶圓廠的學習速率。

考慮因缺陷數超過製程步驟 N 的管限制而後被標記的某個批次。如圖 3a 所示，如果在製程步驟 N 和 N-1 之間存在另一個檢測點，則問題可被立即隔離。只有在步驟 N 的機台（缺陷批次通過的製程機台）才需要停機，並且只有自上一次良好檢測後通過該機台的批次才需要暫停等待處置。

對比之下，考慮圖 3b 會發生甚麼，其中上個檢測點位於 5 個步驟之前的製程步驟 N-5。各晶圓廠之間的做法各不相同，然而在最糟糕的情境案例中，批次經歷的所有 10 種機台都不得不停工，並且經歷了任何這些機台的所有批次都需要暫停。並非單一製程機台和若干批次出現略微中斷，而是整個模組和數十個批次都會受到直接影響。它會間接影響整個晶圓廠。



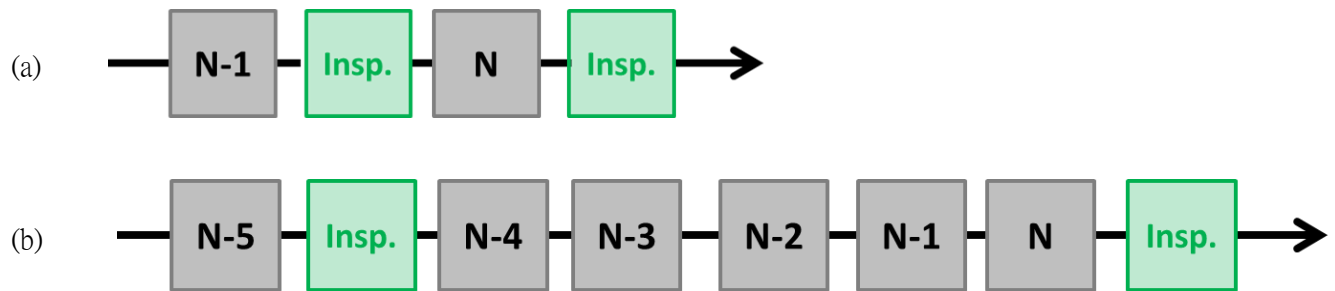


圖 3. (a) 兩個檢測點之間有一個製程步驟。(b) 兩個檢測點之間有五個製程步驟。

圖 3 顯示，實施更少的檢測步驟對週期時間可產生三重影響：

1. 涉及更多製程機台，並且必須離線進行
2. 每個製程機台的停機時間大大加長，因為需要更長時間才能隔離問題
3. 更多晶圓處在受影響的生產線部分。這些晶圓都需要進行處理

這三重影響帶來的變異性還會在整個晶圓廠中擴散；它們壓縮了整個晶圓廠的在製品 (WIP) 流程，在每個下游站點造成影響批次到達率（增加變異性）的 WIP 泡沫。所有這些因素都對整個晶圓廠範圍的變異性造成影響，並且由於製程流程的可重入性質，它們增加了晶圓廠每個單獨批次的週期時間。

當發生異常時，產生的干擾會影響晶圓廠每個批次的週期時間，並且會很快形成惡性循環。給定批次週期時間過程中發生的異常越多，週期時間就會越長。週期時間越長，當下一次異常發生時，該批次還處在晶圓廠中的可能性就越大。

增加檢測步驟會增加已檢測批次的週期時間，但是由於採樣的緣故（並不是每個批次都會檢測），平均而言，其影響要小得多。當確實出現異常偏移時，將只有相對極少的製程機台不得不停工，並且模組主管者將能夠更快地隔離問題。晶圓廠的總中斷時間（變異性）將縮短，且所有批次的週期時間都將得到提升。

這種與直覺相反的概念在好幾家晶圓廠都得到了證實，它們同時增加了檢測步驟並縮短了週期時間。增加製程管制步驟會在以下幾方面促進晶圓廠的效率：加速研發和產能提升、改善基線良率、限制異常持續時間，以及縮短週期時間。簡而言之，製程管制越好就越有效。

本系列中的下一篇文章將討論通常在早期產能提升期間運行的所謂「優先批次」階段，製程管制對週期時間的影響。

### 參考文獻：

- 1) 「Process Watch：[Fab Managers Don't Like Surprises](#)」（晶圓廠經理們不喜歡任何意外），*Solid State Technology*（固態技術），2014 年 12 月。
- 2) 「Process Watch：[Time is The Enemy of Profitability](#)」（時間是利潤率的大敵），*Solid State Technology*（固態技術），2015 年 5 月。
- 3) 「Economic Impact of Measurement in the Semiconductor Industry」（量測在半導體產業中的經濟影響），Planning Report（計畫報告）07-2，美國商務部國家標準與技術研究院（National Institute of Standards and Technology），2007 年 12 月。
- 4) Hopp, W. J. 和 Spearman, M. L. *Factory Physics*（工廠物理學）（第 2 版）。（紐約：Irwin, McGraw-Hill，2001 年），325。

### 作者簡介：

David W. Price 博士是 KLA-Tencor 公司的資深總監。Douglas Sutherland 博士是 KLA-Tencor 公司的首席科學家。在過去 10 年間，Price 博士和 Sutherland 博士一直與 50 多家半導體積體電路製造商直接合作，協助他們最佳化整體檢測策略，以實現最低總成本。此系列文章試圖對他們在這些工作中觀察到的一些普遍經驗進行總結。